

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁸ G11C 11/40		(45) 공고일자 (11) 등록번호 (24) 등록일자	2001년01월 15일 10-0273274 2000년09월02일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	10-1998-0001661 1998년01월21일 현대반도체주식회사 김영환 충청북도 청주시 흥덕구 향정동 1번지 박산하 서울특별시 마포구 동교동 200-1 기린동산빌라 2동 305호 박장원	(65) 공개번호 (43) 공개일자	특1999-0066047 1999년08월 16일
심사관 : 이승환			
(54) 오버 드라이브 제어회로			

요약

본 발명은 오버드라이브 센스앰프 구성에서 오버드라이빙 구간을 설정하여 센스앰프의 동작을 빠르게하는 오버드라이빙 제어회로에 관한 것으로, 특히 종래기술에서 지연기를 사용하여 일정한 오버드라이빙 구간을 설정하여 발생하는 문제점을 제거하기 위해 비트라인의 전위를 내부전압에 의한 기준전압과 비교하는 비교기를 사용하여 최적의 오버드라이빙 구간을 자동으로 조절 하여 설정할 수 있는 오버드라이빙 제어회로에 관한 것이다.

대표도

도3

명세서

도면의 간단한 설명

도 1 은 종래 기술의 오버드라이빙 제어회로.
도 2 는 도 1 에 있어서, 동작 타이밍도.
도 3 은 본 발명의 오버드라이빙 제어회로.
도 4 는 도 3 에 있어서, 비교기의 상세 회로도.
도 5 는 도 3 에 있어서, 센스앰프 구동부의 상세 회로도.
도 6 은 도 3 에 있어서, 동작 타이밍도.

*** 도면의 주요부분에 대한 부호설명 ***

10 : 비교부

20 : 센스앰프 구동부

PM41, PM42, PM41', PM42', PM51 : 피모스 트랜지스터

NM41-NM44, NM41'-NM44', NM51 : 엔모스 트랜지스터

NOR41 : 노아게이트

INV41 : 인버터

ND51 : 낸드게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 오버드라이브 센스앰프 구성에서 오버드라이빙 구간을 설정하여 센스앰프의 동작을 빠르게하는 오버드라이빙 제어회로에 관한 것으로, 특히 오버드라이빙 구간을 비트라인의 전위를 센싱하여 최적의 오버드라이빙 구간을 설정할 수 있는 오버드라이빙 구간을 설정하는 오버드라이빙 제어회로에 관한 것이다.

종래 기술의 오버드라이브 센스앰프 구성(over-driven sense amplifier scheme)에서 센스 앰프가 활성화 될 때, 센스 앰프의 데이터 센싱 속도의 향상을 위해서, 먼저 외부전압(VDD; 통상적으로 3.3V)가 공급된 후, 축적된 전압을 유지하기 위하여 낮게 조정된 어레이 내부전압(VDL; 통상적으로 2.2V)이 공급된다.

여기서, 상기 외부 전압(VDD)이 공급된 후, 낮게 조정된 어레이 내부전압(VDL)이 공급되는 기간이 오버드라이빙 구간이다.

도 1 에 도시된 바와 같이, 종래 기술의 오버드라이빙 제어회로는 센스앰프 인에이블 신호(SAEN)를 지연시키는 지연부(1)와, 그 지연부에서 지연된 센스앰프 인에이블 신호 및 센스앰프 인에이블 신호를 합성하여 엔모스 센스앰프 드라이브 신호(NSAD), 피모스 센스앰프 드라이브 신호(PSAD) 및 피모스 센스앰프 오버드라이브 신호(PSA00)를 출력하는 논리회로부(2)로 구성된다.

이와 같이 구성된 종래 기술의 오버드라이빙 제어회로를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

먼저, 도 2A 에 도시된 바와 같은 센스앰프 인에이블 신호(SAEN)가 지연부(1)에 입력되어 일정기간 만큼 지연된 센스앰프 인에이블 신호가 생성된다.

그 지연된 센스앰프 인에이블 신호와 지연되지 않은 센스앰프 인에이블 신호(SAEN)가 논리회로부(2)에 입력되어 지연된 기간동안 펄스폭이 되는 도 2C 에 도시된 바와 같은 피모스 센스앰프 오버드라이브 신호(PSA00)가 생성된다.

그 피모스 센스앰프 오버드라이브 신호(PSA00)와 도 2B 에 도시된 바와 같은 엔모스 센스앰프 드라이브 신호(NSAD)를 조합하여 도 2D 에 도시된 바와 같은 피모스 센스앰프 드라이브 신호(PSAD)를 생성한다.

따라서, 외부전압(VDD)이 공급되고, 상기 피모스 센스앰프 오버드라이브 신호(PSA00)에 의해 일정기간 후, 내부전압(VDL)이 공급되게 된다.

오버드라이빙 구간, 다시말해 상기 피모스 센스앰프 오버드라이브 신호(PSA00)의 펄스폭은 상기 지연부(1)의 지연율에 의해 결정되어 지는 고정된 값이 된다.

이와 같이, 오버드라이빙 구간이 일정한 지연율에 의해 결정되면 외부전압(VDD)의 변동 혹은 전원 바운싱(Bouncing)이 일어날 경우, 충분한 오버드라이빙 구간을 확보하기 어렵게 되는 문제점이 발생한다.

이러한 문제점을 해결하기 위해 오버드라이빙 구간을 길게 정할 경우, 많은 전류가 흐르게 되어 많은 전력을 소모하는 문제점이 발생한다.

발명이 이루고자하는 기술적 과제

이러한 문제점을 극복하기 위한 본 발명의 목적은 외부전압의 변동 혹은 전원 바운싱이 일어날 경우, 이를 센싱하여 오버드라이빙 구간을 자동으로 조절하여 충분한 오버드라이빙 구간을 확보하면서 필요이상의 전력을 소모하지 않도록 하는 것이다.

따라서, 이와 같은 목적을 달성하기 위한 본 발명의 오버드라이빙 제어회로는 센스앰프를 인에이블시키는 신호가 입력되어 센스앰프의 데이터센싱 정도를 모니터링하는 비교부와, 상기 센스앰프를 인에이블시키는 신호 및 상기 비교부에서 출력된 신호를 합성하여 오버드라이빙 구간을 설정하는 신호를 출력하는 센스앰프 구동부로 구성된 것을 특징으로 한다.

발명의 구성 및 작용

본 발명의 오버드라이빙 제어회로는 도 3 에 도시된 바와 같이, 센스앰프 인에이블 신호(SAEN)가 입력되어 비트라인(BL) 또는 비트바라인(/BL)의 전위를 기준전압($V_{DD}-V_t$)과 비교하여 오버드라이빙 제어신호(ODED)를 출력하는 비교부(10)와, 상기 센스앰프 인에이블 신호(SAEN) 및 오버드라이빙 제어신호(ODED)가 입력되어 이를 합성하여 피모스 센스앰프 구동신호(PSAD)를 출력하는 낸드게이트(ND51)로 구성된 센스앰프 구동부(20)로 구성된다.

여기서, 상기 비교부는 비트라인(BL)의 전위를 기준전압($V_{DL}-V_t$)과 비교하는 비트라인 전위 비교부(10-1)와, 비트바라인(/BL)의 전위를 기준전압($V_{DL}-V_t$)과 비교하는 비트바라인 전위 비교부(10-2)와, 상기 비트라인 전위 비교부(10-1) 및 비트바라인 전위 비교부(10-2)의 출력이 입력되어 이를 합성하는 노아게이트(NOR41)와, 그 노아게이트(NOR41)의 출력을 반전시켜 오버드라이빙 제어신호(ODED)를 출력하는 인버터(INV41)로 구성된다.

상기 비트라인 전위 비교부(10-1)는 게이트가 공통연결되고, 소오스에 공급전압(VCC)이 인가되는 피모스 트랜지스터들(PM41, PM42)과, 드레인이 상기 피모스 트랜지스터(PM41)의 드레인과 상기 피모스 트랜지스터들(PM41, PM42)의 공통연결된 게이트에 공통연결되고, 게이트에 비트라인(BL)이 연결된 엔모스 트랜지스터(NM41)와, 상기 피모스 트랜지스터(PM42)의 드레인에 드레인이 연결된 엔모스 트랜지스터(NM42)와, 그 엔모스 트랜지스터들(NM41, NM42)의 소오스에 드레인이 공통연결되고, 소오스가 접지전압(VSS)에 연결되며, 게이트에 센스앰프 인에이블 신호(SAEN)가 인가되는 엔모스 트랜지스터(NM43)와, 소오스가 상기 엔모스 트랜지스터(NM42)의 게이트에 연결되고, 게이트와 드레인이 공통연결되어 내부전압(VDL)이 인가되는 엔모스 트랜지스터(NM44)로 구성되어 상기 피모스 트랜지스터(PM42)와 엔모스 트랜지스터(NM42)의 공통연결된 드레인에서 출력신호가 출력된다.

상기 비트바라인 전위 비교부(10-2)는 상기 비트라인 전위 비교부(10-1)와 그 구성에서 같으나, 상기 엔모스 트랜지스터(NM41)의 게이트에 비트바라인이 인가된다.

이와 같이 구성된 본 발명의 오버드라이빙 제어회로의 동작을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

먼저, 도 6A 에 도시된 바와 같은 센스앰프 인에이블신호(SAEN)가 비교부(10)에 입력되어 비교부를 구동시킨다.

그러면, 비트라인 전위 비교부(10-1)에 의해 도 6D 에 도시된 바와 같은 비트라인(BL)의 전위와 기준전압, 즉 내부전압(VDL)에서 쓰레숄드 전압(V_t)을 뺀 전압을 비교한다.

만약, 비트라인(BL)의 전위가 기준전압($V_{DL}-V_t$)보다 낮은 전압일 경우, 비교부(10)에서 도 6B 에 도시된 바와 같은 '하이' 레벨의 오버드라이빙 제어신호(ODED)가 센스앰프 구동부(20)에 출력되고, 그 센스앰프 구동부(20)는 도 6C 에 도시된 바와 같은 '로우' 레벨의 피모스 센스앰프 드라이브 신호(PSAD)를 출력하여 내부전압(VDL)을 인가하는 스위치 역할을 하는 엔모스 트랜지스터(NM51)를 턴오프시키고, 외부전압(VDD)을 인가하는 스위치 역할을 하는 피모스 트랜지스터(PM51)를 턴온시킨다. 따라서, 외부전압(VDD)에 의해 피모스 센스앰프를 구동시키게 된다.

그러나, 비트라인(BL)의 전위가 기준전압($V_{DL}-V_t$)보다 높은 전위로 판단되면, 비교부(10)는 '로우' 레벨의 오버드라이빙 제어신호(ODED)를 센스앰프 구동부(20)에 출력하고, 그 센스앰프 구동부(20)는 '하이' 레벨의 피모스 센스앰프 드라이브 신호(PSAD)를 출력하여 상기 피모스 트랜지스터(PM51)를 턴오프시켜 외부전압(VDD)에 의한 피모스 오버 드라이브를 중단하고, 상기 엔모스 트랜지스터(NM51)를 턴온시켜 내부전압(VDL)에 의한 노멀 드라이브를 시작하게 된다.

즉, 비교기(10)가 비트라인(BL)의 전위를 기준전압($V_{DL}-V_t$)과 비교하여, 기준전압($V_{DL}-V_t$)보다 낮은 전압일 동안, 즉 오버드라이빙 기간에는 피모스 센스앰프를 외부전압(VDD)에 의해 구동시키고, 비트라인(BL)의 전위가 기준전압($V_{DL}-V_t$)보다 높을 경우, 내부전압(VDL)에 의해 피모스 센스앰프를 구동시키게 된다.

발명의 효과

따라서, 외부전압(VDD)의 변동 혹은 전원 바운싱이 일어날 경우, 이를 센싱하여 오버드라이빙 구간을 조절하기 때문에 충분한 오버드라이빙 구간을 확보하면서 필요이상의 전력을 소모하지 않는 효과가 있다.

(57) 청구의 범위

청구항 1

센스앰프를 인에이블시키는 신호가 입력되어 구동되어 기준전압과 비트라인 또는 비트바라인의 전위를 비교하는 비교부와, 상기 센스앰프를 인에이블시키는 신호 및 상기 비교부에서 출력되는 신호를 합성하여 내부전압과 외부전압을 선택적으로 공급하는 스위칭을 제어하는 신호를 출력하는 센스앰프 구동부로 구성된 것을 특징으로 하는 오버드라이빙 제어회로.

청구항 2

제 1 항에 있어서, 비교부는 비트라인의 전위를 기준전압과 비교하는 비트라인 전위 비교부와, 비트바라인의 전위를 기준전압과 비교하는 비트바라인 전위 비교부와, 상기 비트라인 전위 비교부와 비트바라인 전위 비교부의 출력을 합성하는 노아게이트와, 그 노아게이트의 출력을 반전시키는 인버터로 구성된 것을 특징으로 하는 오버드라이빙 제어회로.

청구항 3

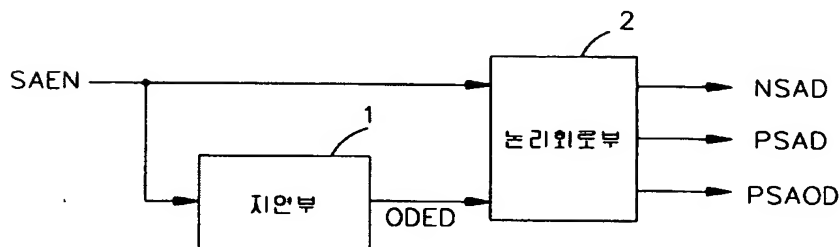
제 1 항 또는 제 2 항에 있어서, 상기 기준전압은 내부전압에서 쓰레숄드전압을 뺀 전압인 것을 특징으로 하는 오버드라이빙 제어회로.

청구항 4

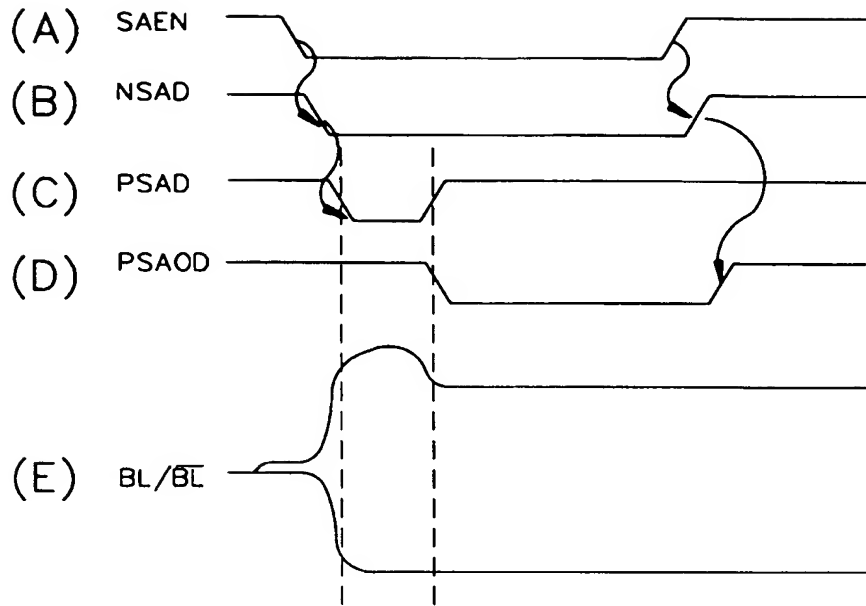
제 1 항에 있어서, 상기 센스앰프 구동부는 상기 비교부에서 출력되는 신호 및 센스앰프를 인에이블시키는 신호를 합성하는 논리회로로 구성된 것을 특징으로 하는 오버드라이빙 제어회로.

도면

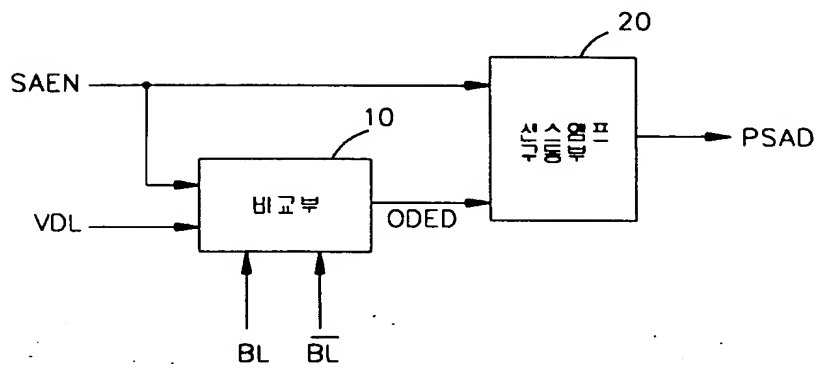
도면1



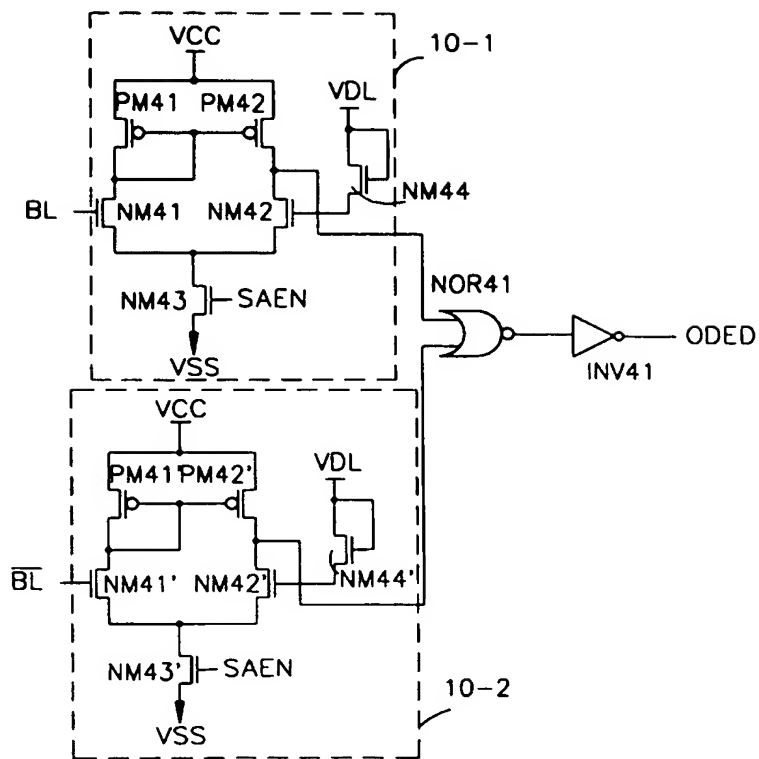
도면2



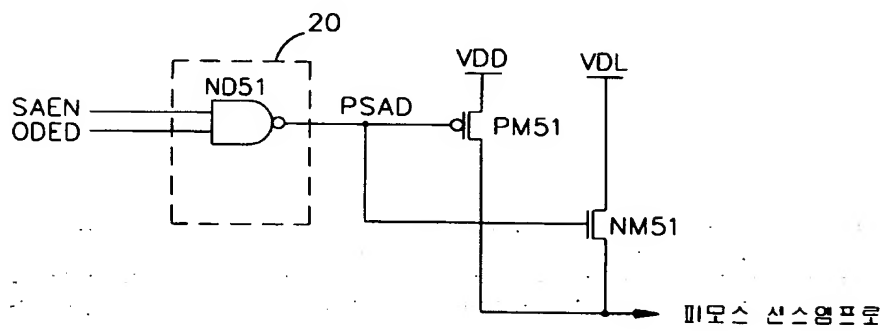
도면3



도면4



도면5



도면6

